



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001203539 A

(43) Date of publication of application: 27.07.01

(51) Int. Cl **H03F 1/32**
H03F 3/60
H03G 3/20
H03G 3/30

(21) Application number: 2000009661

(22) Date of filing: 19.01.00

(71) Applicant: JAPAN SCIENCE & TECHNOLOGY CORP

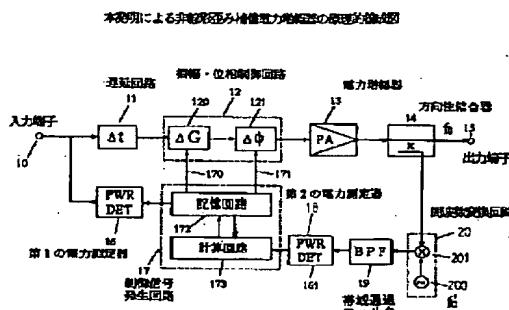
(72) Inventor: AKAIWA YOSHIHIKO

(54) NONLINEAR-DISTORTION COMPENSATED POWER AMPLIFIER**(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a distortion-compensated power amplifier having nonlinear distortion with high power efficiency and circuit realization, to reduce a convergence time in a distortion compensation and to flexibly cope with the configuration of a wireless signal to be amplified.

SOLUTION: A linear amplifier amplifying the power of a modulated signal employs so-called a pre-distorter that in advance distorts the amplitude and/or the phase of a signal received by a power amplifier to compensate nonlinear distortion corresponding to the instantaneous amplitude of the signal so as to update and converge a control characteristics of the amplitude and/or the phase in terms of trial and error in a way of minimizing the power within a frequency band caused by nonlinear distortion in an output signal power spectrum of the power amplifier.

COPYRIGHT: (C)2001,JPO



THIS PAGE BLANK (USPTO)

特開2001-203539
(P2001-203539A)
(43)公開日 平成13年7月27日(2001.7.27)

| (51) Int. Cl. | 識別記号 | F I | マークコード(参考) |
|---------------|------|--------|------------|
| H 03 F | 1/32 | H 03 F | 5J067 |
| | 3/60 | | 5J090 |
| H 03 G | 3/20 | H 03 G | A 5J100 |
| | 3/30 | | F |

審査請求 未請求 請求項の数 16 O.L.

(全 9 頁)

(21) 出願番号 特願2000-9661(P2000-9661)

(71)出願人 396020800

科学技術振興事業団

埼玉県川口市本町4丁目1番8号

(22) 出願日 平成12年1月19日 (2000. 1. 19)

(72) 発明者 赤岩 芳彦

福岡県宗像市

100087147

· 井理工大学 · 1998

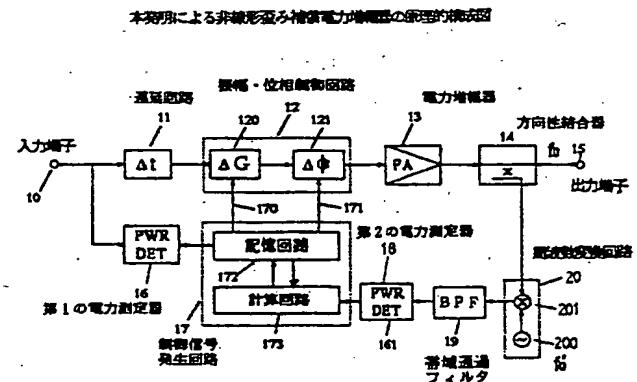
最終頁に続く

(54) 【発明の名称】非線形歪み補償電力増幅器

(57) 【要約】

【課題】 非線形歪みをもつ電力増幅器の歪み補償を高い電力効率と回路実現性をもって提供することにある。また歪み補償動作の収束時間を短縮し、さらに、増幅すべき無線信号の構成に柔軟に対応するようにする。

【解決手段】変調された信号の電力を増幅する線形増幅器において、非線形性歪みを補償するために電力増幅器に入力される信号を、その信号の瞬時振幅に対応して、振幅および（あるいは）位相を前もって歪ませるいわゆるプリディストータを用い、電力増幅器の出力信号電力スペクトルのうち、非線形歪みによって発生される周波数帯域内の電力を最小とするように、振幅および（あるいは）位相の制御特性を試行錯誤的に更新して収束させようとした。



【特許請求の範囲】

【請求項1】 入力信号を制御信号に基づいて補正する制御回路と、入力信号の電力を検出する第1の電力測定器と、検出された入力信号の電力の値により参照されて対応する制御信号の値を与えるテーブルを記憶して前記制御回路に制御信号を供給する制御信号発生回路と、前記制御回路の出力に接続された電力増幅器と、電力増幅器の出力信号から有効帯域外の信号成分を取り出すフィルタと、取り出された有効帯域外の信号成分の電力を検出する第2の電力測定器とを備えており、前記制御信号発生回路は、検出された有効帯域外の信号成分の電力の値に基づき、記憶しているテーブルの内容を、前記有効帯域外の信号成分の電力が小さくなるように更新するアルゴリズムを有することを特徴とする非線形歪み補償電力増幅器。

【請求項2】 請求項1において、前記制御信号発生回路が有するアルゴリズムは、試行錯誤的なものであることを特徴とする非線形歪み補償電力増幅器。

【請求項3】 増幅すべき信号を入力する入力端子と、前記入力端子に入力される信号の振幅あるいは位相もしくはこれらの双方を制御信号に基づいて制御する制御回路と、前記制御回路の出力を入力として増幅する電力増幅器と、増幅した信号を出力する出力端子とからなる非線形歪み補償電力増幅器であって、

前記入力端子に入力される信号の電力あるいは振幅を検出する第1の電力測定器と、該第1の電力測定器の出力から得られる信号の値に対応する前記制御信号の値を与えるテーブルを記憶する記憶回路と、前記出力端子の出力信号の一部を周波数変換する周波数変換器と、該周波数変換器の出力信号のうち、定められた周波数帯域における信号電力を測定する第2の電力測定器と、該第2の電力測定器の出力値を極小にするべく前記記憶回路のテーブルの内容を自動的に更新する計算回路とを備え、前記第1の電力測定器の出力から得られる信号をサンプルした値をアドレスとして前記記憶回路にアクセスし、読み出された出力信号を制御信号として前記制御回路に与えることを特徴とする非線形歪み補償電力増幅器。

【請求項4】 請求項3において、入力端子と制御回路の間に遅延回路を設けたことを特徴とする非線形歪み補償電力増幅器。

【請求項5】 請求項3において、周波数変換器の局部発信周波数を可変にすることによって、周波数変換器出力信号の中心周波数を変化可能にしたことを特徴とする非線形歪み補償電力増幅器。

【請求項6】 請求項3において、第2の電力測定器における入力信号の周波数帯域を、電力増幅器の非線形歪みによって生じる周波数帯域内に限定することを特徴とする非線形歪み補償電力増幅器。

【請求項7】 請求項3において、第2の電力測定器における入力信号の周波数帯域を複数に設定可能にされる

ことを特徴とする非線形歪み補償電力増幅器。

【請求項8】 請求項3において、記憶回路のテーブルの内容を更新する際に、複数のアドレスにそれぞれ対応する内容を同時に更新することを特徴とする非線形歪み補償電力増幅器。

【請求項9】 請求項8において、同時に更新する複数のアドレスの数を、時間とともに次第に減少させることを特徴とする非線形歪み補償電力増幅器。

【請求項10】 請求項3において、記憶回路の入力アドレス信号と、これに対応して読み出される出力信号との間の時間差を可変にしたことを特徴とする非線形歪み補償電力増幅器。

【請求項11】 請求項10において、時間差を自動的に設定することを特徴とする非線形歪み補償電力増幅器。

【請求項12】 請求項3において、制御回路は入力された信号の振幅と位相とともに制御するものであり、該振幅を制御する制御信号と位相を制御する制御信号との間に時間差を設けたことを特徴とする非線形歪み補償電力増幅器。

【請求項13】 請求項3において、第1の電力測定回路と記憶回路の間に可変遅延回路を設けたことを特徴とする非線形歪み補償電力増幅器。

【請求項14】 請求項13において、可変遅延回路をサンプルホールド回路とアナログディジタル変換器で構成することを特徴とする非線形歪み補償電力増幅器。

【請求項15】 請求項14において、サンプルホールド回路のタイミングとアナログディジタル変換器のクロック信号のタイミングを異なるように制御することを特徴とする非線形歪み補償電力増幅器。

【請求項16】 請求項15において、サンプルホールド回路のタイミングとアナログディジタル変換器のクロック信号のタイミングとを異なるように制御するために可変位相回路を用いることを特徴とする非線形歪み補償電力増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、自動車電話や携帯電話などの移動無線通信に有用な電力増幅器に関し、特に、基地局において線形変調信号あるいは複数の変調信号を共通に増幅するのに適した非線形歪み補償増幅器に係るものである。

【0002】

【従来の技術】 線形変調波あるいは複数の変調波を電力増幅する電力増幅器では、不要電波（スプリアス）の放射を抑制して電力効率を高めるために、出来る限り非線形歪みを小さくする必要がある。従来、増幅器の非線形歪みを補償する方式としては、負帰還方式、フィードフォワード方式、プリディストータ方式が知られている。

【0003】 負帰還方式は、信号が広帯域になると発振

現象などが起こりやすく動作の不安定性が増すために、基地局の無線機に使用されることはない。

【0004】フィードフォワード方式は、原理的には動作の不安定性が生じないので、現在、多くの基地局の無線機に使用されている。ところが、フィードフォワード方式は誤差成分を抽出し、副増幅器で別個に増幅したのち、主増幅器の出力信号から差し引く構成をとる必要があるため、回路が複雑になるとともに、副増幅器の使用により電力効率が低下するという問題がある。

【0005】これに対してプリディストータ方式は、副増幅器が不要であることからフィードフォワード方式に代わるものとして注目され、研究開発が進められている。例えば、Y. Nagata, 'Digital Mobile Communication Linear Amplification Technique' (参考文献1参照) に記載されている方式では、デジタル信号処理技術を用いたプリディストータ増幅器が紹介されている。この方式は入力変調信号と出力信号との誤差を検出しているため、復調器などが必要*

参考文献1 : Y. Nagata, 'Linear Amplification Technique for Digital Mobile Communication', Proceedings of IEEE Vehicular Technology Conference, pp. 159-164, 1989.

参考文献2 : F. Antonio 他, 'A Novel Adaptive Predistortion Technique for Power Amplifiers', Proceedings of IEEE Vehicular Technology Conference, pp. 1505-1509, 1999.

【0007】

【発明が解決しようとする課題】上述した従来の非線形歪み補償電力増幅器は、いずれも電力効率および回路実現の容易さの点で不十分なものであった。また今後、増幅が必要となる無線信号に、例えば複数のキャリアの広帯域符号分割多重アクセス (CDMA) 方式の信号などがあり、複雑な構成の信号を一括して増幅する必要があることが予想される。このような信号の場合には、従来の技術におけるように帯域内対帯域外電力比を計算することは困難になる。

【0008】本発明の目的は、電力効率と回路実現性を改善でき、歪み補償動作の収束時間を短縮し、さらに、増幅すべき無線信号の構成に柔軟に対応できる非線形歪み補償電力増幅器を提供することにある。

【0009】

【課題を解決するための手段】本発明は、プリディストータ方式の改良により上記課題の解決を図るものであり、電力増幅器の前段に設けた制御回路により入力信号の振幅と位相、あるいはそのいずれか一方を補正して最適な非線形歪み補償を行う。制御回路における入力信号の振幅、位相の補正特性は、電力増幅器の出力信号に含まれる帯域外信号成分電力の増加、減少を見て、少しづつ試行錯誤的に修正され、帯域外信号成分電力がそれ以上減少しなくなったところで修正を終了する。入力信号の振幅、位相の補正特性は、入力信号の電力レベルごとの補正値を設定したテーブルとして記憶され、たとえば一定周期で帯域外信号成分電力を検出して、その増加、

*となり、回路が複雑になる欠点がある。またF. Antonio 他, 'A Novel Adaptive Predistortion Technique for Power Amplifiers' (参考文献2参照) に記載の方法は、非線形歪みによる帯域外電力を検出することにより、復調器およびその他の誤差検出回路が不要になっている。しかし、この方式においては、高速フーリエ変換によって、帯域内対帯域外電力比を計算しているために、デジタル信号処理量が大きくなる。また、複素ベースバンド信号に歪みを加えるために、高周波電力増幅部とベースバンド部

10 にまたがって回路を構成する必要があるため、基地局無線機の実装において、モデムまでの長さに制限があり、各機器を独立に設計できないなどの制約を受けることになる。さらに、記憶回路の内容更新を1個のアドレス毎に行ってるので、歪み補償動作が収束するまでの時間が長くなる欠点がある。

【0006】

参考文献1 : Y. Nagata, 'Linear Amplification Technique for Digital Mobile Communication', Proceedings of IEEE Vehicular Technology Conference, pp. 159-164, 1989.

参考文献2 : F. Antonio 他, 'A Novel Adaptive Predistortion Technique for Power Amplifiers', Proceedings of IEEE Vehicular Technology Conference, pp. 1505-1509, 1999.

減少に応じて補正値を算出して更新される。

【0010】このような本発明による非線形歪み補償電力増幅器の構成は、入力信号を制御信号に基づいて補正する制御回路と、入力信号の電力を検出する第1の電力測定器と、検出された入力信号の電力の値により参照されて対応する制御信号の値を与えるテーブルを記憶して前記制御回路に制御信号を供給する制御信号発生回路

30 と、前記制御回路の出力に接続された電力増幅器と、電力増幅器の出力信号から有効帯域外の信号成分を取り出すフィルタと、取り出された有効帯域外の信号成分の電力を検出する第2の電力測定器とを備えて、前記制御信号発生回路は、検出された有効帯域外の信号成分の電力値に基づき、記憶しているテーブルの内容を、前記有効帯域外の信号成分の電力が小さくなるように更新する構成を有することを特徴とする。

【0011】図1は、本発明の原理的構成を具体例で示した図である。図において、10は入力端子、11は遅延回路、12は振幅・位相制御回路、13は電力増幅器、14は方向性結合器、15は出力端子、16は第1の電力測定器、17は制御信号発生回路、18は第2の電力測定器、19は帯域通過フィルタ、20は周波数変換回路、120は利得制御回路、121は位相制御回路、170は利得制御信号、171は位相制御信号、172は記憶回路、173は計算回路、200は局部信号発生器、201は乗算回路である。

【0012】入力端子10に入力された無線信号は、遅延回路11により Δt 時間だけ遅延されたのち、振幅・

50 位相制御回路12により Δt 時間だけ遅延されたのち、振幅・

位相制御回路12に入力され、ここで制御信号発生回路17が outputする利得制御信号170と位相制御信号171に応じて振幅と位相を制御されたのち、電力増幅器13で増幅され、出力端子15に出力される。出力信号の一部は方向性結合器14により取り出され、周波数変換回路20により周波数変換され、さらに帯域通過フィルタ19により観測したい周波数範囲内の不要信号成分のみが取り出され、第2の電力測定器18により電力測定される。

【0013】一方、入力端子10への入力信号の一部は第1の電力測定器16に入力されて電力を測定され、その値により記憶回路172のアドレスが参照される。記憶回路172のテーブル内容は、計算回路173によつて決定される。ここで、計算回路173は第2の電力測定器18の出力を極小にするように記憶回路172のテーブル内容を決定するアルゴリズムによつて動作する。このアルゴリズムは、試行錯誤的なものであることができる。制御信号発生回路17はディジタル信号処理によつて実現され、図示省略されているが回路への入力信号はアナログ/ディジタル変換され、出力信号はディジタル/アナログ変換される。

【0014】周波数変換回路20と帯域通過フィルタ19の作用の例を、図2を用いて説明する。図2(a)は方向性結合器14から取り出される出力信号の電力スペクトルを表している。同図の実線は入力信号の電力スペクトルに対応し、破線部分は電力増幅器13の奇数次非線形歪みにより発生した帯域外スペクトル成分に対応する。周波数変換回路20の局部信号発生器200が発生する周波数 f_0' を信号の中心周波数 f_0 と同一にし($f_0' = f_0$)、帯域通過フィルタ19の通過帯域を $\Delta f_1 \sim \Delta f_2$ の範囲にすることにより、第2の電力測定器18の出力には、図2(a)の破線で示した帯域外スペクトル成分の電力が得られる。この帯域外電力を最小にするように、制御信号発生回路17と振幅・位相制御回路12を介して入力信号を補正することにより、電力増幅器13の非線形歪みを補償できる。本発明の非線形歪み補償動作では、制御信号発生回路17中の計算回路173のアルゴリズムにより、帯域外電力を最小化する動作が可能にされるが、詳細については、実施例の説明において後述される。

【0015】本発明において振幅・位相制御回路12および制御信号発生回路17により構成されるプリディストータの動作原理を、図2(b)を用いて説明する。同図において、横軸は入力レベルであり、左側の縦軸は出力レベル、右側の縦軸は出力位相である。非線形歪みは入力と出力レベルが直線関係になり、出力位相が入力レベルによって変化しなければならない。図中に実線で示される振幅特性曲線と位相特性曲線の電力増幅回路の特性は、プリディストータを入力に接続することにより、下向きの矢線のように収束され、全体の特性が改善され

る。

【0016】

【発明の実施の形態】図3は本発明の第1実施例の信号電力スペクトルを示す図、図4は制御信号発生回路の構成例、図5は制御回路の構成例を示す。全体的な構成は図1と同じである。

【0017】この実施例においては、図3に示すように周波数が隣接する二つの無線信号が同時に増幅されるものとする。信号の帯域幅を $2W_0$ 、帯域外電力の帯域幅10を $2W_0$ とする。周波数変換回路の局部発振周波数 f_0 を $f_0' = f_0$ に設定し、帯域通過フィルタの通過帯域は $2(W_0 - W_0)$ に設定する。これにより、図3の破線で示した帯域外電力を測定できる。

【0018】図4の構成例では、入力端子40に入力される第1の電力測定器の出力は対数増幅器41を通ったのち、第1のA/D変換器42でサンプリング周波数 f_s でサンプルおよびアナログ-デジタル変換されて、Nビットの値に量子化される。ここで、対数増幅器41はA/D変換器42の量子化ビット数を少なくする目的20で用いられている。量子化されたNビットのデジタル信号により、ランダム記憶回路(RAM)43のアドレスを決定する。記憶回路43のアドレス数Mビット(2 M とおり)は、Nビットに等しいかそれ以下である(M $\leq N$)。M< Nの場合には、Nビットに量子化された値に対応する最も近い二つのアドレスを参照し、記憶回路43の二つの出力をレベル補間回路440において補間することにより、制御信号を決定する。記憶回路43には、各アドレスに対応して、デジタル信号処理による計算回路47で指定される利得および位相を制御する値のテーブルが記憶される。記憶回路43の値は第1および第2のD/A変換器441および442でデジタル-アナログ変換され、利得および位相に対するアナログ制御信号が利得制御信号出力端子443と位相制御信号出力端子444にそれぞれ出力される。

【0019】制御回路の実施例を図5により説明する。図1の遅延回路11の出力信号が入力端子51に入力されると、利得制御回路52と位相制御回路53でそれぞれ利得と位相が制御される。ここで、利得制御信号入力端子524、位相制御信号入力端子533は、図4における利得と位相の各制御信号出力端子443と444にそれぞれ対応する。利得制御はピンダイオード521、522に印加される信号に応じて、この抵抗値が変化することにより、抵抗523の値との兼ね合いで減衰量が決定できる。また可変容量ダイオード532のバイアス電圧を、位相制御入力端子533からの位相制御信号で変化させることにより、サーチュレータ531の出力端子54に現れる位相を制御できる。利得制御および位相制御の方法は、図示の方法に限ることは無く他の任意の方法を用いてもよい。また、位相歪みが小さい場合には50位相制御を省略することができる。

【0020】次に本発明の実施例における計算回路の計算のアルゴリズムと記憶回路のテーブル内容更新処理について図6及び図7を用いて説明する。計算回路のアルゴリズムの基本的な考え方は、第2の電力測定器から出力される帯域外輻射電力を最小化するように、記憶回路のテーブル内容を試行錯誤的に決定するものである。

【0021】記憶回路のアドレスの番号を $k = 1 \sim K$ (すなわち $K = 2^m$) とする。ここで、アドレス番号 K はあらかじめ設定した増幅器の最大出力に対応するアドレスとする。 k の値が小さくなるにつれて、増幅器の出力、したがって、増幅器の入力レベルが小さくなるものとする。記憶回路のテーブル内容は、 $k = K$ における利得が1、位相が 0° となるように規格化されているものとし、この値は以後の計算を通して固定される。なお、以下の説明では利得の更新アルゴリズムについて述べるが、位相についても同様である。テーブル内容の更新は、以下のように複数のアドレスに対応してテーブルの値に、図6に例示されるような関数（補正関数という）で与えられる小さな補正值を同時に加算することによって行われる。図7は、本発明の実施例によるテーブル更新処理のフローを示す。テーブルの初期値は、すべてのアドレスについて、利得は1、位相は 0° とする。

【0022】第1段目の計算においては、記憶回路のアドレス $k = K/2 \sim K$ に対応する三角形の半分の直線 a_1 と、 $k = 1 \sim K$ に対応する三角形 b_1 、および $k = 1 \sim K/2$ に対応する直線 c_1 の各アドレスに対応する高さをRAM内容の初期値に加算する。ここで三角形の高さ Δ_1 は任意に選んだ小さな値である。 Δ_1 は正負の値をとるものとする。まず、 $\Delta_1 = |\Delta_1|$ として直線 a_1 についてRAMの内容 $f(k)$ ($k = K/2 \sim K-1$) に加えてみる。このときの、第2の電力測定器の出力電力を P_{n-1} とする。次に、直線 a_1 について $\Delta_1 = -|\Delta_1|$ として、初期値に加える。このときの第2の電力測定器の出力電力を P_{n-1} とする。もし $P_{n-1} > P_{n-1}$ であれば、この回におけるRAMの内容は初期値に $\Delta_1 = -|\Delta_1|$ に対応する直線 a_1 の値を加算したものと決定し、次の回の計算の初期値とする。次に、位相について、これと同様の操作を行う。次の回においても、上と同様の操作を行い、第2の電力測定器の出力電力が減少するように、RAMの内容 $f(k)$ ($k = K/2 \sim K-1$) に $g_n(k)$ を加算することによって更新する。以下、同様に更新を続ける。RAMの内容が実質的に変化しないようになったら、直線 a_1 に係わる更新を打ち切る。

【0023】次に三角形 b_1 について、これまでのRAMの内容 $f(k)$ ($k = 1 \sim K-1$) を初期値として、直線 a_1 に行ったときと同様の更新を続ける。この更新が終了すると直線 c_1 について同様に更新する。直線 c_1 についての更新が完了すると、これまでに与えられた値を初期値として、同様の処理を始めから行う。これを与

えられた回数だけ行うと第1段階の更新が終了する。

【0024】第2段階の更新はアドレス領域を第1段階のアドレス領域を二分割して、その各々の領域について、第1段階と同様の更新を続ける。定められた段階数に到着するか、これ以上領域分割ができなくなつたところで、更新の手続きが終了する。

【0025】このように、記憶回路の複数のアドレスに対応するテーブル内容を同時に変化させることにより、テーブル内容の収束時間を速くすることができる。なお、重みの付け方は直線状に限らず、例えば2次曲線、ガウス曲線を用いることもできる。

【0026】本発明における記憶回路と計算回路の第2の実施例を図8に示す。この実施例では、図4に示した第1の実施例の構成に時間調整回路745が追加されたものであり、その他の回路部分は第1の実施例と同じである。したがって、ここでの説明は、時間調整回路745に関連する部分のみに限つて行う。

【0027】時間調整回路745の目的は、図1に示した遅延回路11における時間遅延に対して、制御信号発生回路17から出力される制御信号のタイミングを適切に設定することにある。図8の時間調整回路745の動作を図9により説明する。制御信号回路のうちデジタル信号を処理する部分（図8のA/D変換器76の後からD/A変換器741, 742までの間）は、クロック周期 T_s で動作しているものとする。レベル補間回路740からは、クロック周期 T_s 每に制御信号が出力される。この信号をそのままD/A変換器741, 742で出力すると、利得制御信号出力端子743（図1では170）、位相制御信号出力端子744（図1では171）の各制御信号と遅延回路11から出力される信号との間にタイミング誤差が生じる場合があり得る。今、最適なタイミングはクロック時刻から $\Delta \tau$ だけずれているものとし、 $\Delta \tau < T_s$ と仮定する。もし、クロック周期が十分短いとすると、 $\Delta \tau$ だけずれた時刻における制御信号 V_{opt} は一次内挿により、

$$V_{opt} = V_{n-1} + (V_n - V_{n-1}) \times \Delta \tau / T_s$$

で与えられる。ところで、実際には $\Delta \tau$ の値は知ることはできない。そこで、これを試行錯誤的に決定する。例えば、 $\Delta \tau = n \Delta T$ (ΔT は十分小さい時間) として、 $n = 0, 1, 2, \dots$ と変化させて、 n の各値について、これまでに説明した計算回路を実行させ、目標とする帯域外電力が最小となる n を求めることができる。

【0028】ここで、もし、利得制御回路120における時間遅延が無視できない場合には、利得と位相の制御信号に時間差を与えるために、上記の操作を別個に行えばよい。

【0029】本発明における制御信号発生回路の第3の実施例を図10に示す。この実施例は先に述べた時間調整を行うための他の方法を示したものである。その原理的な考えは、計算回路および記憶回路のクロック信号の

タイミングを第1の電力測定器(図1の16)の出力信号の時刻に対して、相対的に変化させて、利得制御信号出力端子991と位相制御信号出力端子992の信号出力時間制御するものである。

【0030】第1の電力測定器(図10では図示省略)の出力信号は入力端子91よりサンプルホールド回路92に入力される。このサンプルホールド回路92は、クロック信号942で与えられる時刻の入力信号の値を取り込み、一次的に保持する。このサンプルホールド回路92の出力はA/D変換器93に入力され、A/D変換されたその出力信号は、記憶回路96のアドレスを与える。A/D変換器93のタイミングはクロック信号941により決められる。クロック信号942はクロック信号941を可変遅延回路94に入力することによって与えられる。可変遅延回路94は、制御信号943によってその時間遅延量を変化させる。制御信号943は、計算回路95より出力される。その発生アルゴリズムは第2の電力測定器(図1の18)の出力を極小にするよう例えれば第2の実施例と同様に試行錯誤による方法をとることが可能であり、ここではその詳細な説明は省略する。本実施例の他の回路部分も先に述べた実施例のものと同様であるので、これ以上の説明は行わない。

【0031】図11に、第3の実施例における可変遅延回路94の実施例を示す。図10の計算回路95から出力されるクロック信号941は、入力端子104より可変位相回路103に入力される。可変位相回路103は、計算回路95から制御入力端子105を経て入力される制御信号943により、位相を変化させるものである。ここでその回路の構成は如何様でもよく、例えば図5に示した位相制御回路53と同じにすることができる。

【0032】可変位相回路103の出力は通常正弦波状になるので、これをリミッタ回路102に入力することによりパルス整形して、出力端子101に通常のデジタル回路におけるクロック信号942を得ている。ここで、位相を変化させることにより、時間遅延を変化させることができる理由は、対象とする信号が周期的な信号であるからである。本実施例は遅延時間を微小に変化させる場合に特に効果がある。

【0033】

【発明の効果】本発明による帯域外電力スペクトルの改善効果を図12に示す。図12(a)は歪み補正前の出力信号スペクトルを示し、図12(b)は歪み補正後の出力信号スペクトルを示す。本発明は電力増幅器において電力効率と回路実現性に優れ、かつ、短い収束時間で自動的に非線形歪み補償を行うことができる効果がある。また、本発明は帯域外電力スペクトルを低減するように制御を行う原理からして、第1の電力測定器、利得

制御回路および位相制御回路の誤差は、記憶回路の内容の変化となり自動的に吸収されるので、これらの回路の実現が容易になるという効果もある。これらにより、自動車、携帯電話システムの基地局無線機のコスト低減に貢献できる。

【図面の簡単な説明】

【図1】本発明による非線形歪み補償電力増幅器の原理的構成図である。

10 【図2】本発明により非線形歪みを補償するプリディスクレーティング回路の構成図である。

【図3】本発明の第1の実施例における信号電力スペクトルの説明図である。

【図4】本発明における制御信号発生回路の第1の実施例の構成図である。

【図5】本発明における制御回路の実施例の構成図である。

【図6】本発明における計算回路の実施例のアルゴリズムの説明図である。

20 【図7】本発明における記憶回路の実施例のテーブル内容更新の処理フローである。

【図8】本発明における制御信号発生回路の第2の実施例の構成図である。

【図9】時間調整回路の動作原理の説明図である。

【図10】本発明における制御信号発生回路の第3の実施例の構成図である。

【図11】制御信号発生回路の第3の実施例における可変遅延回路の実施例構成図である。

【図12】本発明による非線形歪み補償の効果を示す出力信号スペクトルの説明図である。

30 【符号の説明】

10：入力端子

11：遅延回路

12：振幅・位相制御回路

13：電力増幅器

14：方向性結合器

15：出力端子

16：第1の電力測定器

17：制御信号発生回路

18：第2の電力測定器

40 19：帯域通過フィルタ

20：周波数変換回路

170：利得制御信号

171：位相制御信号

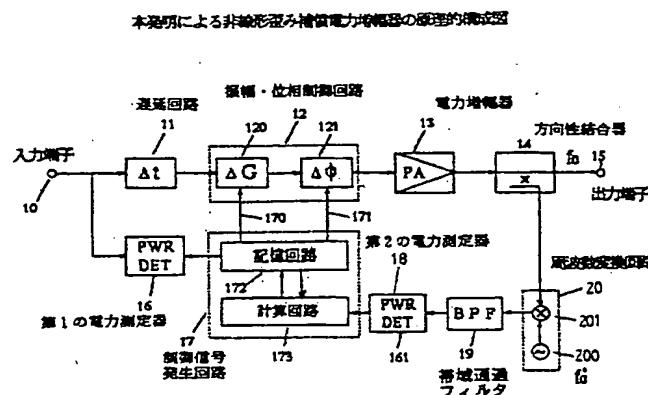
172：記憶回路

173：計算回路

200：局部信号発生器

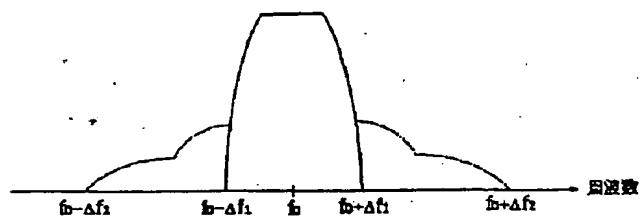
201：乗算回路

【図1】



【図2】

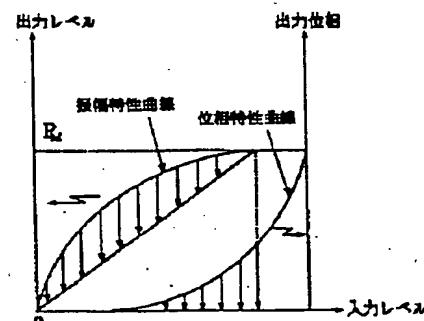
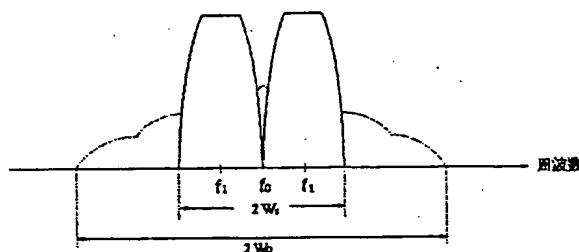
本発明により非線形歪みを検出するプリディストークの動作原理図



(a) 電力増幅器出力信号の電力スペクトル

【図3】

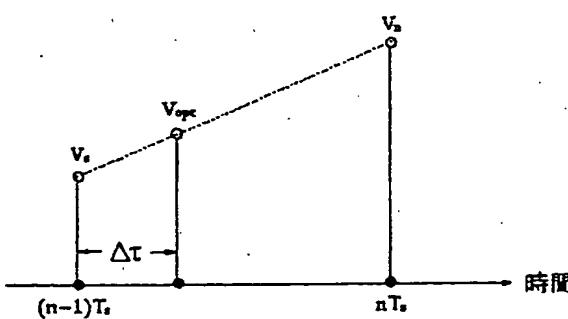
本発明の第1の実施例における信号電力スペクトルの説明図



(b) 非線形歪みを検出するプリディストークの動作原理

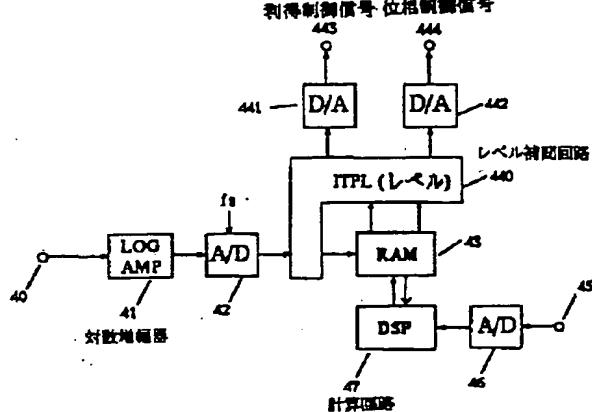
【図9】

時間調査回路の動作原理の説明図



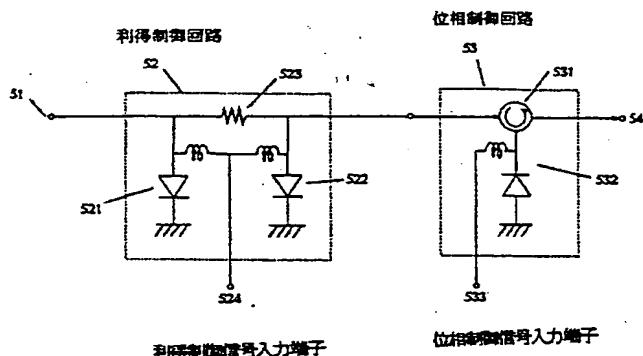
【図4】

本発明における制御信号発生回路の第1の実施例の構成図



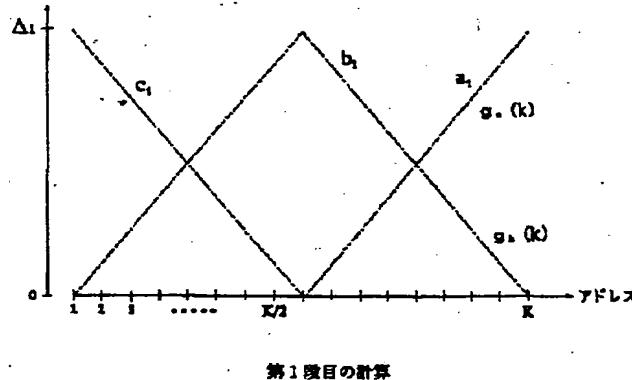
【図5】

本発明における制御回路の実施例の構成図



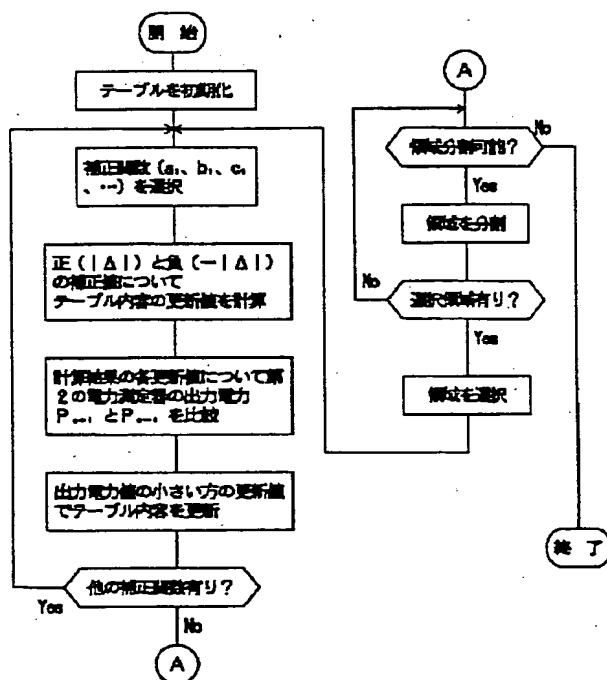
【図6】

本発明における計算回路の実施例のアルゴリズムの説明図



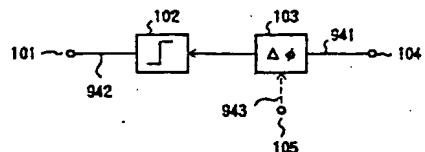
【図7】

本発明における記憶回路のテーブル内蔵更新の処理フロー図



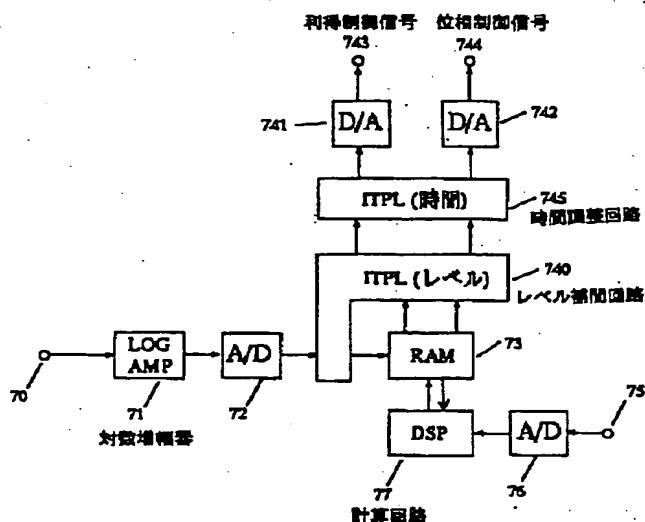
【図11】

第3の実施例における可変遮断回路の実施例



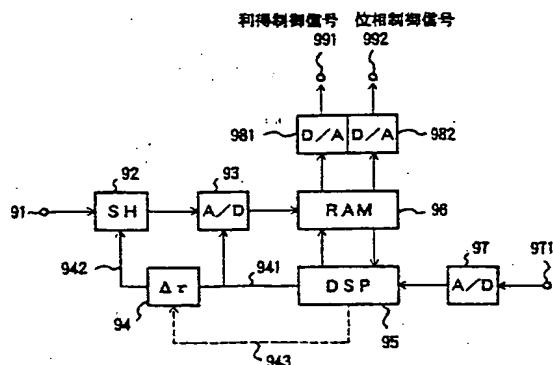
【図8】

本発明における制御信号発生回路の第2の実施例の構成図



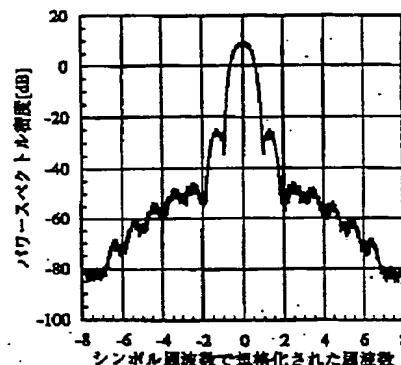
【図10】

本発明における制御信号発生回路の第3の実施例

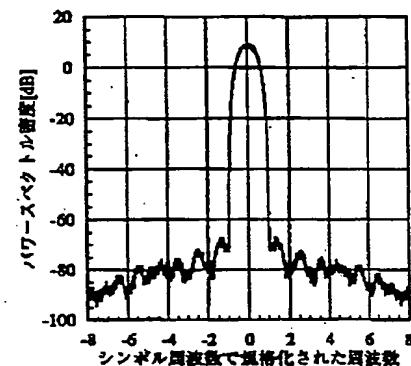


【図12】

本発明による非線形歪み補償の効果を示す出力信号スペクトルの説明図



(a) 歪み補正前



(b) 歪み補正後

フロントページの続き

Fターム(参考) 5J067 AA01 AA41 CA26 FA19 HA01
 KA44 SA14 TA01
 5J090 AA01 AA41 CA22 CA26 FA19
 GN03 HA01 KA44 SA14 TA01
 TA02
 5J100 AA02 AA16 AA24 BB01 CA01
 CA28 CA29 CA30 DA06 FA01
 JA01 LA03 LA11 QA01 SA01

THIS PAGE BLANK (USPTO)